

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007373
(43)Date of publication of application : 10.01.1997

(51)Int.CI. G11C 11/41
// H01L 21/8244
H01L 27/11

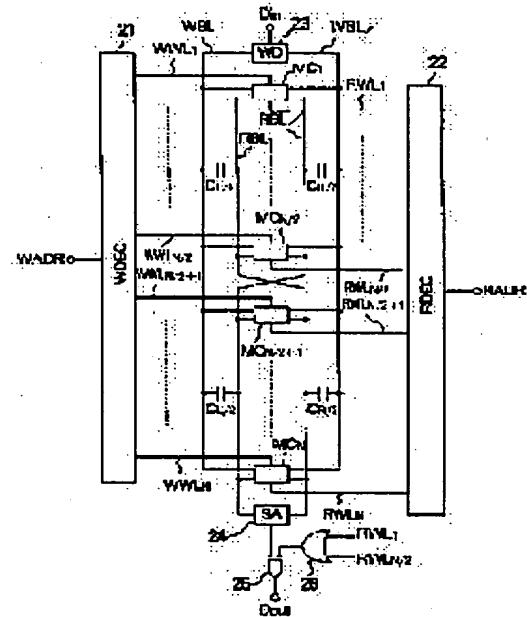
(21)Application number : 07-152954 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 20.06.1995 (72)Inventor : MORIKAWA KOICHI
IDA JIRO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enhance a read speed in a semiconductor memory device.

CONSTITUTION: A write decoder 21 and a read decoder 22 respectively selectively activate word lines WWL1-WWL_n and word lines RWL1-RWL_n, whereby a write memory cell and a read memory cell are selected from memory cells MC1-MC_n. A pair of write bit lines WBL, WBL/ are driven by a write driver 23, and data are read on a pair of read bit lines RBL, RBL/. Although coupling noises are generated at this time on the pair of the read bit lines RBL, RBL/, the noises offset each other because of the presence of an interlinkage part. In other words, data on the pair of bit lines RBL, RBL/ are not made wrong data. An OR circuit 26 and an exclusive OR circuit 25 reverse read data thereby eliminating a disagreement of written data and read data Dout.



LEGAL STATUS

[Date of request for examination] 09.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-7373

(43)公開日 平成9年(1997)1月10日

(51) Int.Cl. [*] G 11 C 11/41 // H 01 L 21/8244 27/11	識別記号 庁内整理番号 F I G 11 C 11/34 H 01 L 27/10	技術表示箇所 3 4 5 K 3 8 1
---	--	-------------------------------

審査請求 未請求 請求項の数12 OL (全 15 頁)

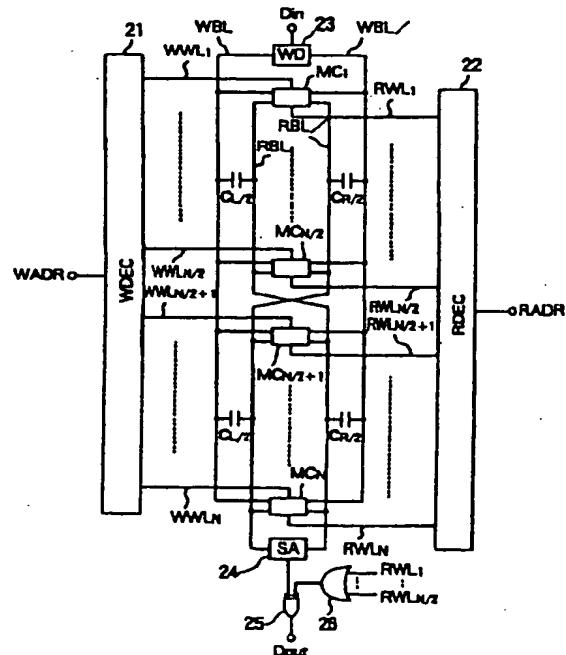
(21)出願番号 特願平7-152954	(71)出願人 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日 平成7年(1995)6月20日	(72)発明者 森川 剛一 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(72)発明者 井田 次郎 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(74)代理人 弁理士 柿本 敏成

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 半導体記憶装置における読み出し速度を速くする。

【構成】 書込み用デコーダ21と読み出し用デコーダ22が、ワード線WWL₁～WWL_N及びワード線RWL₁～RWL_Nをそれぞれ選択的に活性化する。よって、メモリセルMC₁～MC_Nから、書き込みメモリセルと読み出しメモリセルが選択される。書き込み用ピット線対WBL, WBL/は、書き込みドライバ23によって駆動され、読み出し用ピット線対RBL, RBL/上にはデータが読み出される。このとき、読み出し用ピット線対RBL, RBL/には、カップリングノイズが発生するが、鎖交部分を有しているので、それらノイズが互いに影響を打ち消し合う。即ち、ピット線対RBL, RBL/上のデータは、誤データとならない。OR回路26と排他的論理回路25は、読み出しだけの反転を行い、書込んだデータと読み出したデータDoutの不一致をなくす。



本発明の第1の実施例のマルチポートSRAM

【特許請求の範囲】

【請求項 1】 共通の第1のビット線対と共に第2のビット線対と複数のワード線の間に設けられ、個々に対応する該ワード線が選択されて活性化したときに該第1のビット線対または第2のビット線対にそれぞれ接続される複数のメモリセルを備え、

前記活性化したワード線に接続された前記メモリセルに対して、前記第1または第2のビット線対を介してデータの書き込み及び読み出しを行なう半導体記憶装置において、

前記第1のビット線対と第2のビット線対のうちのいずれか一方は、鎖交部分を有し、前記複数のメモリセルのうちの一部では前記書き込みデータまたは読み出しデータのレベルが反転する構成とし、

前記複数のワード線のレベルに基づき前記メモリセルに書き込むデータを予め反転させる書き込み反転手段、または該メモリセルから読み出したデータのレベルを反転させる読み出し反転手段を設けたことを特徴とする半導体記憶装置。

【請求項 2】 請求項1記載の半導体記憶装置において、前記鎖交部分は複数であることを特徴とする半導体記憶装置。

【請求項 3】 請求項1または2記載の半導体記憶装置において、

前記第1のビット線対は書き込みビット線対とし、前記第2のビット線対は読み出しひット線対とし、前記第1のビット線対は鎖交部分を有し、複数のメモリセルのうちの一部では前記読み出しデータのレベルが反転する構成とし、

前記複数のワード線のレベルに基づき前記メモリセルから読み出したデータのレベルを反転させる読み出し反転手段を設けたことを特徴とする半導体記憶装置。

【請求項 4】 請求項3記載の半導体記憶装置において、

前記読み出し反転手段は、データ読み出し対象のメモリセルが前記読み出しデータのレベルが反転するメモリセルか否かを前記複数のワード線のレベルから検出するOR回路と、該検出の結果、データ読み出し対象のメモリセルが前記読み出しデータのレベルが反転するメモリセルの場合、前記第1のビット線対を鎖交させて出力段に接続するトランジスタと、該検出の結果、該データ読み出し対象のメモリセルが前記読み出しデータのレベルが反転するメモリセルでない場合、その第1のビット線対を鎖交せずに該出力段に接続するトランジスタとで、構成したことを特徴とする半導体記憶装置。

【請求項 5】 請求項1または2記載の半導体記憶装置において、

前記第1のビット線対は書き込みビット線対とし、前記第2のビット線対は読み出しひット線対とし、前記第2のビット線対は鎖交部分を有し、複数のメモリ

セルのうちの一部では前記書き込んだデータのレベルが反転する構成とし、

前記複数のワード線のレベルに基づいて該書き込むデータのレベルを反転させる書き込み反転手段を設けたことを特徴とする半導体記憶装置。

【請求項 6】 共通の第1のビット線対と共に第2のビット線対と複数のワード線の間に設けられ、個々に対応する該ワード線が選択されて活性化したときにその第1のビット線対または第2のビット線対にそれぞれ接続される複数のメモリセルを備え、前記活性化したワード線に接続された前記メモリセルに対して、前記第1または第2のビット線対を介してデータの書き込み及び読み出しを行なう半導体記憶装置において、

前記第1及び第2のビット線対、前記複数のワード線及び前記複数のメモリセルは、共通の半導体基板上に積層構造で形成し、前記第1のビット線対と前記第2のビット線対は、前記積層構造における異なる配線層に形成したことを特徴とする半導体記憶装置。

【請求項 7】 請求項6記載の半導体記憶装置において、前記第1のビット線対と前記第2のビット線対を構成する各配線は、下部コーナーに90度以下のテーパーがついた構成にしたことを特徴とする半導体記憶装置。

【請求項 8】 請求項6または7記載の半導体記憶装置において、前記第1のビット線対と第2のビット線対を構成する各配線の膜厚は、該第1のビット線対と第2のビット線対の最小配線幅より薄い構成にしたことを特徴とする半導体記憶装置。

【請求項 9】 請求項6、7または8記載の半導体記憶装置において、前記前記第1のビット線対と前記第2のビット線対は、前記半導体基板における垂直方向に重ねた構成にしたこと特徴とする半導体記憶装置。

【請求項 10】 請求項6、7、8または9記載の半導体記憶装置において、前記第1のビット線対と前記第2のビット線対との間で、それらに対して絶縁膜を介した配線層に形成され、前記第1のビット線対と前記第2のビット線対の間の電気力線をカットする導電層を設けたことを特徴とする半導体記憶装置。

【請求項 11】 請求項6、7、8、9または10記載の半導体記憶装置において、前記導電層の膜厚は、該導電層の形成される配線層に形成された他の配線よりも薄い構成にしたことを特徴とする半導体記憶装置。

【請求項 12】 請求項6、7、8、9、10または11記載の半導体記憶装置において、前記導電層は所定の電位に固定される構成としたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチポートスタティックランダムアクセスメモリ（以下、マルチポートSRAM）等の半導体記憶装置に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば次の文献に記載されるものがあった。文献：菅野卓雄著“CMOS超LSIの設計”（1989-4-25）培風館、P. 231 従来のマルチポートSRAMは、書き込み用デコーダと、読み出し用デコーダと、複数のメモリセルが配列されたメモリアレイを有している。各メモリセルは、書き込み用と読み出し用の2本のワード線と、書き込み用と読み出し用の2組のビット線対との間に、それぞれトランジスタを介して接続されている。各書き込み用ワード線が書き込み用デコーダに接続され、各読み出し用ワード線が読み出し用デコーダに接続されている。各書き込み用デコーダ或いは読み出し用デコーダが、書き込み用ワードと読み出し用ワード線のレベルを立ち上げることで、書き込みメモリセルまたは読み出しメモリセルが選択される。よって、選択された書き込みメモリセルは、トランジスタを介して書き込み用ビット線対に接続され、読み出しメモリセルは、トランジスタを介して読み出し用ビット線対に接続される。その後、書き込みドライバによって、書き込みビット線対の内の一本のビット線が書き込みドライバによって駆動されて、電源電位から“L”レベルに引き下げられる。これで、選択されたメモリセルにデータの書き込みが行なわれる。読み出しメモリセルでは、メモリセルに格納されたデータが、トランジスタを介して読み出しビット線対上に読み出され、その読み出されたデータがセンスアンプで増幅されて出力される。

【0003】

【発明が解決しようとする課題】しかしながら、従来のマルチポートSRAM等では、次のような課題があった。図2は、従来のマルチポートSRAMの構成例を示す回路図であり、図3は、図2中のメモリセルを示す回路図である。このマルチポートSRAMは、書き込み用アドレスWADRを入力とする書き込み用デコーダ（WDEC）1と読み出し用アドレスRADRを入力とする読み出し用デコーダ（RDEC）2とを備えている。書き込み用デコーダ1と読み出し用デコーダ2の間に、N個のメモリセルMC₁～MC_Nがアレイ化されて配置されている。各メモリセルMC₁～MC_Nには、書き込み用デコーダ1からの書き込み用ワード線WWL₁～WWL_Nと、読み出し用デコーダ2からの読み出し用ワード線RWL₁～RWL_Nとが、それぞれ接続されている。各モリセルMC₁～MC_Nには、また、書き込み用ビット線対を形成するビット線対WBL₁、WBL_Nと、読み出し用ビット線対を形成するビット線対RBL₁、RBL_Nとが、共通に接続されている。ビット線対WBL₁、WBL_Nは、書き込みドライバ（WD）3により、入力データDinに応じて電圧駆動される構成となっている。ビット線対RBL₁、RBL_Nは、センスアンプ（SA）4に接続されている。センスアンプ4が、ビット線対RBL₁、RBL_N上のデータ

を増幅し、そのセンスアンプ4から出力データDoutが出力される構成になっている。

【0004】各メモリセルMC₁～MC_Nは同様の構成であり、図3には一つのメモリセルMC_n（nは、1≤n≤Nの任意の整数）が示されている。メモリセルMC_nは、擇がけ接続された2個のインバータI1、I2を備えている。それらインバータI1、I2はデータを格納するフリップフロップを構成している。インバータI1、I2間の2つ接続ノードのうちのノードN1とビット線WBLの間には、N型MOSトランジスタ（以下、NMOSいう）I3が接続され、該ノードN1とビット線RBLとの間には、NMOS I4が接続されている。2つ接続ノードのうちのノードN2とビット線WBLの間には、NMOS I5が接続され、ノードN2とビット線RBLの間には、NMOS I6が接続されている。各NMOS I3、I5のゲートには、共通にワード線WWL_nが接続されている。各NMOS I4、I6のゲートには、共通にワード線RWL_nが接続されている。

【0005】メモリセルMC₁～MC_Nに対してアクセスする場合、書き込みデコーダ1は、書き込みアドレスWADRに基づき、選択的にワード線WWL₁～WWL_Nを活性化する。例えば、ワード線WWLNによって選択されたメモリセルMCNでは、各NMOS I3、I5がそれぞれオンする。これによって、フリップフロップがビット線WBL、WBL/に接続される。読み出しデコーダ2は、読み出しアドレスRADRに基づき、選択的にワード線RWL₁～RWL_Nを活性化する。例えば、ワード線RWL₁によって選択されたメモリセルMC₁では、各NMOS I4、I6がそれぞれオンする。これによって、フリップフロップがビット線RBL、RBL/に接続される。その後、書き込みメモリセルMC_Nでは、ドライバ3の駆動により、例えばビット線WBLのレベルが引き下げられて、データがフリップフロップに書き込まれる。一方、ビット線対RBL、RBL/に接続された読み出しメモリセルMC₁においては、フリップフロップに格納したデータが、ビット線対RBL、RBL/に読み出され、それがセンスアンプ4で増幅されて出力データDoutとして出力される。

【0006】図4は図2中の各ビット線の配置を示す平面図であり、図5は、図2の各ビット線のレベルと出力データのタイミングを示す波形図である。図4の平面図では、図3のメモリセルが縦に2個作成された半導体記憶装置が示されている。図3のように、半導体記憶装置中で各ビット線WBL、WBL/、RBL、RBL/は、半導体記憶装置における同一層に平行に配置されている。なお、同図中に記載されたS1及びS2は、ビット線WBLとビット線RBL間の距離と、ビット線WBL/とビット線RBL/間の距離をそれぞれ示している。近接したビット線WBLとRBLの間には、図2に

示すように、カップリング容量 C_L が存在する。同様に、ビット線 WBL_1 とビット線 RBL_1 の間に、カップリング容量 C_R が存在する。そのため、書き込み用ビット線 WBL のレベルが引き下げられると、図 8 のように、読み出し用ビット線 RBL のレベルは、容量 C_L の影響で引下げられ、ビット線対 RBL, RBL_1 の電位レベルが反転し、一時的に誤ったデータとなる。即ち、容量 C_L が、ビット線 RBL 上にカップリングノイズ NC を誘導する。一定時間が経過すると、カップリングノイズ NC は減少し、ビット線対 RBL, RBL_1 上のデータは、正しい値に戻る。よって、一定時間が経過した後に、センスアンプ 4 が動作を開始して、正しいデータが増幅されて、図 5 のタイミングで出力データ $Dout$ が出力される。

【0007】ここで、高集積化の実現するために、ビット線間の各配線距離 $S1, S2$ を小さくすると、カップリング容量 C_L, C_R がそれぞれ増加し、カップリングノイズ NC が増加する。例えば、マルチポート SRAM 中の MOS トランジスタのゲート長を $0.35 \mu m$ でデザインすると、各距離 $S1, S2$ は $0.5 \mu m$ になり、各容量 C_L, C_R は $0.1 pF$ と大きくなる。そのため、ビット線対 RBL, RBL_1 上の読み出しデータが正しいデータに戻る時間が、遅れる。結果として、センスアンプ 4 の動作開始が遅れ、出力データ $Dout$ の出力されるタイミングが遅れるという課題があった。

【0008】

【課題を解決するための手段】第 1 から第 5 の発明は、前記課題を解決するために、共通の第 1 のビット線対と共通の第 2 のビット線対と複数のワード線の間に設けられ、個々に対応する該ワード線が選択されて活性化したときに該第 1 のビット線対または第 2 のビット線対にそれぞれ接続される複数のメモリセルを備え、活性化したワード線に接続されたメモリセルに対して、第 1 または第 2 のビット線対を介してデータの書き込み及び読み出しを行なう半導体記憶装置において、次のような構成を講じている。即ち、第 1 のビット線対と第 2 のビット線対のうちのいずれか一方は、鎖交部分を有し、複数のメモリセルのうちの一部では書き込みデータまたは読み出しデータのレベルが反転する構成としている。そして、複数のワード線のレベルに基づきメモリセルに書き込むデータを予め反転させる書き込み反転手段、またはメモリセルから読み出したデータのレベルを反転させる読み出し反転手段を設けている。第 6 から第 12 の発明は、共通の第 1 のビット線対と共通の第 2 のビット線対と複数のワード線の間に設けられ、個々に対応するワード線が選択されて活性化したときにその第 1 のビット線対または第 2 のビット線対にそれぞれ接続される複数のメモリセルを備え、前記活性化したワード線に接続された前記メモリセルに対して、前記第 1 または第 2 のビット線対を介してデータの書き込み及び読み出しを行なう半導体記憶装置において、

次のような構造を講じている。即ち、第 1 及び第 2 のビット線対、複数のワード線及び複数のメモリセルは、共通の半導体基板上に積層構造で形成し、その第 1 のビット線対と第 2 のビット線対は、積層構造における異なる配線層に形成している。

【0009】

【作用】第 1 から第 5 の発明によれば、以上のように半導体記憶装置を構成したので、個々に対応する該ワード線が選択されて活性化したとき、活性化したワード線に接続されたメモリセルに対して、第 1 または第 2 のビット線対を介してデータの書き込みまたは読みしが行われる。ここで、第 1 のビット線対と第 2 のビット線対のうちのいずれか一方は、鎖交部分を有している。これによって、第 1 のビット線対に対する第 2 のビット線対の位置関係が一部で逆転し、第 1 のビット線対と第 2 のビット線対間のカップリング容量で発生するカップリングノイズが、互いに打ち消すように働くことになる。そのため、メモリセルから読み出したデータは、本来の正しいデータとなり、そのまま、そのデータを増幅して出力することが可能となる。なお、第 1 のビット線対と第 2 のビット線対のうちのいずれか一方は、鎖交部分を有しているので、複数のメモリセルのうちの一部では、書き込みデータまたは読み出しデータのレベルが反転する。これに対して設けられた書き込み反転手段あるいは読み出し反転手段によって、複数のワード線のレベルに基づき、メモリセルに書き込むデータが予め反転して書き込まれるか、または、メモリセルから読み出したデータのレベルが反転して読み出される。第 6 から第 12 の発明によれば、第 1 及び第 2 のビット線対、複数のワード線及び複数のメモリセルは、共通の半導体基板上に積層構造で形成されるが、その第 1 のビット線対と第 2 のビット線対は、積層構造における異なる配線層に形成される。そのため、半導体記憶装置の構成面積を広げずに、第 1 のビット線対と第 2 のビット線対の距離を離すことができる。即ち、第 1 のビット線対と共通の第 2 のビット線対間のカップリング容量が低減され、カップリングノイズが低減される。そのため、メモリセルから読み出したデータが、カップリングノイズで変化する量が減じられる。従って、前記課題を解決できるのである。

【0010】

【実施例】カップリングノイズによる悪影響を低減し、高速なデータの読みしが可能な半導体記憶装置を、以下の第 1 ~ 第 9 の実施例に示す。第 1 ~ 第 3 の実施例は、半導体記憶装置の回路構成によって、カップリングノイズの影響を低減するものであり、第 4 ~ 第 9 の実施例は、ビット線の配置によって、カップリングノイズを低減するものである。

第 1 の実施例

図 1 は、本発明の第 1 の実施例を示すマルチポート SRAM の回路図である。このマルチポート SRAM は、書

込み用アドレスWADRが入力される書き込み用デコーダ21と、読み出し用アドレスRADRが入力される読み出し用デコーダ22と、それらデコーダ21、22の間で配列されたN個のメモリセルMC₁～MC_Nとを備えている。N個のうちの各メモリセルMC₁～MC_{N/2}は、デコーダ21に対してN/2本の書き込み用ワード線WWL₁～WWL_{N/2}でそれぞれ接続されていると共に、デコーダ22に対してN/2本の読み出し用ワード線RWL₁～RWL_{N/2}でそれぞれ接続されている。N個のうちの各メモリセルMC_{N/2+1}～MC_Nは、デコーダ21に対してN/2本の書き込み用ワード線WWL_{N/2+1}～WWL_Nでそれぞれ接続されていると共に、デコーダ22に対してN/2本の読み出し用ワード線RWL_{N/2+1}～RWL_Nでそれぞれ接続されている。

【0011】各メモリセルMC₁～MC_Nには、さらに、第1のビット線対である書き込み用ビット線対WBL₁、WBL₁/と、第2のビット線対の読み出し用ビット線対RBL₁、RBL₁/が共通に接続されている。ビット線対WBL₁、WBL₁/は、入力データD_{in}に基づき、該ビット線対WBL₁、WBL₁/を電圧駆動する書き込みドライバ23に接続されている。ビット線対RBL₁、RBL₁/は、該ビット線対RBL₁、RBL₁/上のデータを増幅して出力データD_{out}を送出する出力段のセンスアンプ24に接続されている。ここで、ビット線対RBL₁、RBL₁/は、メモリセルの列の途中で鎖交している。つまり、メモリセルMC_{N/2}とメモリセルMC_{N/2+1}との間で、ビット線対RBL₁、RBL₁/は鎖交している。センスアンプ24に対してビット線対RBL₁、RBL₁/は、図2に対して逆極性に接続されている。

【0012】図6(1)、(2)は、図1中のメモリセルとビット線の関係を示す回路図である。各メモリセルMC₁～MC_Nの内部は、図3に示すメモリセルと同様に、インバータ11、12とNMOS13～16を備え、それら各NMOS13、15のゲートはワード線WWL₁に接続され、各NMOS14、16のゲートがワード線RWL₁に接続されている。各NMOS13、15がオンすると、メモリセルはビット線対WBL₁、WBL₁/に接続され、NMOS14、16がオンするとメモリセルはビット線RBL₁、RBL₁/に接続される構成となっている。ところが、ビット線対RBL₁、RBL₁/が、メモリセルの列の途中で鎖交しているために、メモリセルMC₁～MC_{N/2}と、メモリセルMC_{N/2+1}～MC_Nとでは、図6(1)、(2)のように、各NMOS14、16によってそれぞれ接続されるビット線RBL₁、RBL₁/が反対になる。即ち、メモリセルMC_{N/2+1}～MC_Nから、ビット線対RBL₁、RBL₁/上に読み出したデータは、書込んだデータを反転したものとなる構成となっている。一方、ビット線対RBL₁、RBL₁/に接続されたセンスアンプ24の出力側には、2入力の排他的論理回路25が接続されている。排他的論理

和回路25の2つの入力端子には、センスアンプ24の出力端子と、入力側がワード線RWL₁～RWL_{N/2}に接続されたOR回路26の出力端子とが、接続されている。排他的論理回路25とOR回路26が読み出し反転手段をしている。

【0013】次に、図1のマルチポートSRAMの動作を説明する。まず、メモリセルMC_Nにデータを書き込み、メモリセルMC₁からデータを読み出す場合を説明する。書き込み用アドレスWADRに基づき、デコーダ21はワード線WWL_Nを選択的に活性化し、読み出し用アドレスRADRに基づき、デコーダ22は、ワード線RWL₁を選択的に活性化する。よって、ワード線WWL_Nが立ち上り、MC_N中のNMOS13、15がオンする。これにより、メモリセルMC_Nがビット線対WBL₁、WBL₁/間に接続される。また、ワード線RWL₁が立ち上り、メモリセルMC₁中のNMOS14、16がオンし、該メモリセルMC₁が、ビット線対RBL₁、RBL₁/間に接続される。書き込みドライバ23により、ビット線対WBL₁、WBL₁/は駆動され、例えばビット線WBL₁が“L”レベルに引き下げられ、メモリセルMC_Nに入力データD_{in}に対応するデータが書き込まれる。これと同時に、読み出し対象のメモリセルMC₁の格納データが、ビット線対RBL₁、RBL₁/上に読み出される。

【0014】図7は、図1の各ビット線のレベルと出力データのタイミングを示す波形図であり、この図7を参照しつつ、読み出し動作の説明を進める。メモリセルMC₁～MC_{N/2}におけるビット線WBL₁とビット線RBL₁間のカッピング容量は、図2に対してC_L/2となっている。このC_L/2のカッピング容量のため、ビット線RBL₁上にはビット線WBL₁に誘導された逆相カップリングノイズNC1が発生する。また、メモリセルMC_{N/2+1}～MC_Nにおけるビット線WBL₁とビット線RBL₁/間のカッピング容量も、C_L/2である。このC_L/2のカッピング容量のため、ビット線RBL₁/上にはビット線WBL₁に誘導された同相カップリングノイズNC2が発生する。これらカップリングノイズNC1、NC2は、同程度の量である。そのため、ビット線RBL₁、RBL₁/間の電位差は保たれ、メモリセルMC₁から読み出されたデータは、誤データになることがない。従って、従来のように、誤データから正しいデータに戻る時間を必要としないので、この時間分が短縮されて、センスアンプ24は高速に増幅を行う。また、このとき、OR回路26は“H”を出力しているので、排他的論理回路25は、センスアンプ24の出力信号S24の論理レベルを反転して出力データD_{out}を出力する。

【0015】次に、メモリセルMC₁にデータを書き込み、メモリセルMC_Nからデータを読み出す場合を説明する。書き込み用アドレスWADRに基づき、デコーダ21

はワード線WWL₁を選択的に活性化し、読出し用アドレスRADRに基づき、デコーダ22は、ワード線RWL_Nを選択的に活性化する。よって、ワード線WWL₁が立ち上り、MC₁中のNMOS13、15がオンする。これにより、メモリセルMC₁がビット線対WBL、WBL/間に接続される。また、ワード線RWL_Nが立ち上り、メモリセルMC_N中のNMOS14、16がオンとなって、該メモリセルMC_Nが、ビット線対RBL、RBL/間に接続される。この場合、メモリセルMC_Nから読出されるデータは、ビット線対RBL、RBL/が鎖交しているので、書込み時のデータに対して反転したデータとなる。

【0016】各メモリセルMC₁、MC_Nがビット線対WBL、WBL/間とビット線対RBL、RBL/間にそれぞれ接続された後、ビット線対WBL、WBL/は、書込みドライバ23に電圧駆動される。電圧駆動の結果、ビット線WBLは“L”レベルに引下げられ、メモリセルMC₁に、入力データDinに対応するデータがデータが書込まれる。さらに、読出し対象のメモリセルMC_Nの格納データが、ビット線対RBL、RBL/上に読出される。このとき、ビット線対RBL、RBL/上には、カップリングノイズが発生するが、メモリセルMC_Nにデータを書込み、メモリセルMC₁からデータを読出す場合と同様であり、読出したデータが誤データとなることはない。ここでも、誤データから正しいデータに戻る時間を必要としないので、この時間分が短縮されて、センスアンプ24は高速に増幅を行う。また、このとき、OR回路26は“L”を出力しているので、排他的論理回路25はセンスアンプ24の出力信号S24の論理レベルをそのまま通して、出力データDoutを出力する。このようにして、出力データDoutの論理レベルの調整をする。

【0017】以上のように、この第1の実施例では、読出し用ビット線対RBL、RBL/に鎖交する部分を設け、読出したデータの論理レベルを反転させる排他的論理回路25とOR回路26とを設けている。そのため、従来の回路に比べ、ビット線対RBL、RBL/上のデータに対して、カップリングノイズで生じた誤データから正しいデータに戻る間での時間を待つ必要がなくなり、出力データDoutを高速に出力することが可能となっている。また、カップリング容量が、読出しデータに影響を与えないで、各ビット線RBL、RBL/と各ビット線対WBL、WBL/との、図4に示された距離S1、S2を小さくでき、高集積化が可能となる。さらに、今後のプロセス動向の微細化に伴うカップリング容量の増加にも適用可能なマルチポートSRAMとなる。

【0018】第2の実施例

図8は、本発明の第2の実施例を示すマルチポートSRAMの回路図であり、図1と共に共通する要素には共通の符

号が付されている。第1の実施例では、読出しアドレスRADRに対応して、出力データDoutの論理を反転する読出し反転手段を排他的論理回路25及びOR回路26で構成していたが、本実施例では、その排他的論理回路25及びOR回路26の代わりに、4個のNMOS31～34と、それらNMOS31～34を制御する2個のOR回路35、36で構成している。このマルチポートSRAMの他の部分は、図1のマルチポートSRAMと同様の構成である。読出し用ビット線対RBL、RBL/とセンスアンプ24の間に、NMOS31、32がそれぞれ接続されている。NMOS31のドレインがビット線RBLに接続され、NMOS31のソースがセンスアンプ24に接続されている。NMOS32のドレインがビット線RBL/に接続され、NMOS32のソースがセンスアンプ24に接続されている。各NMOS31、32のゲートには、N/2本の読出し用ワード線RWL_{N/2+1}～RWL_Nのレベルを入力とするOR回路35の出力端子が共通に接続されている。また、NMOS31のドレインには、NMOS33のドレインが接続され、そのNMOS33のソースがNMOS32のドレインには、NMOS34のドレインが接続され、そのNMOS34のソースがNMOS31のソースに接続されている。各NMOS33、34のゲートには、N/2本の読出し用ワード線RWL₁～RWL_{N/2}のレベルを入力とするOR回路36の出力端子が共通に接続されている。

【0019】次に、図8のマルチポートSRAMの動作を説明する。各メモリセルMC₁～MC_Nに対するビット線対WBL、WBL/を介した書込みと、各メモリセルMC₁～MC_Nからビット線RBL、RBL/上にデータを読出す動作は第1の実施例と同様である。ここで、例えば、読出し用ワード線のうち、ワード線RWL₁～RWL_{N/2}のいずれかが選択的に活性化された場合、OR回路36が“H”を出力し、OR回路35は“L”を出力する。そのため、各NMOS33、34が共にオン状態となり、NMOS31、32が共にオフ状態となる。このとき、ビット線対RBL、RBL/は鎖交してセンスアンプ24に接続される。ビット線対RBL、RBL/上のデータは、NMOS33、34を介してセンスアンプ24に与えられる。センスアンプ24がそのデータを増幅し、出力データDoutの論理レベルを確定して出力する。

【0020】また、ワード線RWL_{N/2+1}～RWL_Nのいずれかが選択的に活性化されていた場合、OR回路36が“L”を出力し、OR回路35は“H”を出力する。そのため、各NMOS33、34が共にオフ状態となり、NMOS31、32が共にオン状態となる。ビット線対RBL、RBL/は鎖交せずにセンスアンプ24に接続される。ビット線対RBL、RBL/上のデータ

は、NMOS 31, 32を介してセンスアンプ24に与えられる。センスアンプ24がそのデータを増幅し、出力データDoutの論理レベルを確定して出力する。このようにして、書込んだデータと読出したデータの一一致を行う。以上のように、この第2の実施例では、第1の実施例と同様に、読み出し用ビット線対RBL, RBL/に鎖交する部分を設け、読み出したデータの論理レベルを反転させる読み出し反転手段を4個のNMOS 31~34と、それらNMOS 31~34を制御する2個のOR回路35, 36で構成している。そのため、第1の実施例と同様の効果が期待できるとともに、第1の実施例よりもさらに高速なマルチポートSRAMが構成できる。即ち、NMOS 31~34で構成されるトランസファミッシュゲートの遅延時間は、排他的論理和回路25の遅延時間に対して微小であり、これら遅延時間の差分だけ、出力データDoutを高速に出力できる。

【0021】第3の実施例

図9は、本発明の第3の実施例を示すマルチポートSRAMの回路図であり、図1及び図8に共通する要素には共通の符号が付されている。第1及び第2の実施例では、読み出し用ビット線対RBL, RBL/に鎖交する部分を設け、読み出したデータの論理レベルを反転させる読み出し手段を設けていたが、本実施例において、読み出し用ビット線対RBL, RBL/には鎖交部分がなく、書き込み用ビット線対WBL, WBL/に鎖交する部分を設けている。そして、読み出したデータの論理レベルを反転させる回路の代わりに、書き込むデータの論理レベルを反転させる書き込み反転手段を設けている。マルチポートSRAMの他の部分は、第1及び第2の実施例と同様の構成である。N個のメモリセルの列に対して、メモリセルMCN/2とメモリセルMCN/2+1との間で、ビット線対WBL, WBL/は鎖交している。そのため、メモリセルMC1~MCN/2と、メモリセルMCN/2+1~MCNでは、各NMOS 13, 15によってそれぞれ接続されるビット線WBL, WBL/が異なる接続となっている。即ち、ビット線対WBL, WBL/を介してメモリセルMCN/2+1~MCNに書き込まれるデータは、論理レベルが反転されて書き込まれる構成となっている。書き込み反転手段は、ワード線WWLN/2+1~WWLNのレベルを入力とするOR回路41と、OR回路41の出力信号S41と入力データDinを入力とする排他的論理和回路42で構成されている。排他的論理和回路42の出力側が、書き込みドライバ23に接続されている。

【0022】次に、図9のマルチポートSRAMの動作を説明する。例えば、メモリセルMCNにデータを書き込み、メモリセルMC1からデータを読み出す場合、書き込み用アドレスWADRに基づき、デコーダ21はワード線WWLNを選択的に活性化し、読み出し用アドレスRADRに基づき、デコーダ22は、ワード線RWL1を選択的に活性化する。よって、ワード線WWLNが立ち上

り、MCN中のNMOS 13, 15がオンする。また、ワード線RWL1が立ち上り、メモリセルMC1中のNMOS 14, 16がオンし、該メモリセルMC1がビット線対RBL, RBL/間に接続される。このとき、OR回路41は“H”の出力信号S41を出力し、排他的論理和回路42は入力データDinの論理レベルを反転して書き込みドライバ23に与える。書き込みドライバ23がビット線対WBL, WBL/の電圧駆動を行い、ビット線WBL/が“L”レベルに引き下げられ、メモリセルMCNには、入力データDinとは反転した論理レベルが書き込まれる。

【0023】さらに、読み出し対象のメモリセルMC1の格納データが、ビット線対RBL, RBL/上に読み出される。ここで、第1及び第2の実施例と同様に、メモリセルMC1~MCN/2におけるビット線WBLとビット線RBL間のカッピング容量はCL/2となっている。このCL/2のカッピング容量のため、ビット線RBL上にはビット線WBLに誘導された逆相カッピングノイズが発生する。また、メモリセルMCN/2+1~MCNにおけるビット線WBLとビット線RBL間のカッピング容量もCL/2である。このCL/2のカッピング容量のため、ビット線RBL/上にはビット線WBLに誘導された同相カッピングノイズが発生する。これらカッピングノイズは、同程度の量である。そのため、ビット線RBL, RBL/間の電位差は保たれ、メモリセルMC1から読み出されたデータは、誤データになることがない。メモリセルMC1から読み出されたデータは、センスアンプ24にそのまま与えられ、センスアンプ24がそのデータを増幅して出力データDoutとして出力する。メモリセルMC1にデータを書き込み、メモリセルMCNからデータを読み出す場合を説明する。書き込み用アドレスWADRに基づき、デコーダ21とデコーダ22の選択により、メモリセルMC1がビット線対WBL, WBL/間に接続され、メモリセルMCNが、ビット線対RBL, RBL/間に接続される。このときには、OR回路41は、“L”の出力信号S41を出力し、排他的論理和回路42は入力データDinの論理レベルをそのまま書き込みドライバ23に与える。書き込みドライバ23がビット線対WBL, WBL/の電圧駆動を行い、ビット線WBLが“L”レベルに引き下げられ、メモリセルMC1には、入力データDinに対応した論理レベルが書き込まれる。

【0024】さらに、読み出し対象のメモリセルMCNの格納データが、ビット線対RBL, RBL/上に読み出される。このとき、ビット線対RBL, RBL/上には、カッピングノイズが発生するが、メモリセルMCNにデータを書き込み、メモリセルMC1からデータを読み出す場合と同様であり、読み出したデータが誤データとなることはない。ビット線対RBL, RBL/上のデータが、センスアンプ24に与えられ、センスアンプ24がその

データを増幅して出力データD_{out}として出力する。以上のように、この第3の実施例では、読み出し用ビット線対RBL, RBL/の代わりに、書き込み用ビット線対WBL, WBL/に鎖交する部分を設けている。そして、読み出したデータの論理レベルを反転させる回路の代わりに、書込むデータの論理レベルを反転させる回路のOR回路41と、排他的論理和回路42と設けている。そのため、第2の実施例で用いたトランスマッシュゲート、つまりNMOS31～34が省略でき、その分だけ第2の実施例よりも出力データD_{out}を速く出力することができる。

【0025】第4の実施例

図10は、本発明の第4の実施例を示すマルチポートSRAMの回路図である。このマルチポートSRAMの回路は、従来の図2と同様に、例えば、マルチポートSRAM中のNMOSトランジスタのゲート長を0.35μmでデザインしたものであり、書き込み用デコーダ51と読み出し用デコーダ52とを備えている。デコーダ51とデコーダ52の間に、N個のメモリセルMC₁～MC_Nがアレイ化されて配置されている。各メモリセルMC₁～MC_Nには、デコーダ51からの書き込み用ワード線WWL₁～WWL_Nと、デコーダ52からの読み出し用ワード線RWL₁～RWL_Nとが、それぞれ接続されている。各メモリセルMC₁～MC_Nには、また、第1のビット線対である書き込み用ビット線対WBL, WBL/と、第2のビット線対を形成するビット線対RBL, RBL/とが、共通に接続されている。ビット線対WBL, WBL/は、書き込みドライバ53により、入力データD_inに応じて電圧駆動される構成となっている。ビット線対RBL, RBL/は、センスアンプ54に接続されている。センスアンプ54が、ビット線対RBL, RBL/上のデータを増幅し、そのセンスアンプ54から出力データD_{out}が出力される構成になっている。各メモリセルMC₁～MC_Nの内部も、図3及び図6(a)と同様になっている。即ち、各メモリセルMC₁～MC_Nは同様の構成であり、任意のメモリセルMC_nは、擇がけ接続された2個のインバータ11, 12を備えている。それらインバータ11, 12はデータを格納するフリップフロップを構成している。インバータ11, 12間の2つ接続ノードのうちのノードN1とビット線WBLの間には、NMOS13が接続され、該ノードN1とビット線RBLとの間には、NMOS14が接続されている。2つ接続ノードのうちのノードN2とビット線WBL/の間には、NMOS15が接続され、ノードN2とビット線RBL/との間には、NMOS16が接続されている。各NMOS13, 15のゲートには、共通にワード線WWL_nが接続されている。各NMOS14, 16のゲートには、共通にワード線RWL_nが接続されている。

【0026】図11は、図10の要部の平面構造を示す

図であり、図12は図11のA-A断面図である。図11には、Nを2とした場合の2個のメモリセルとビット線対RBL, RBL/と、ビット線対WBL, WBL/、電源線Vdd、グランド線GND等の平面的位置関係が示されている。これら図11及び図12を参照しつつ、図10のマルチポートSRAMの断面構造の概略の製造方法を説明する。シリコン基板61の表面にウエル拡散層が選択的に形成され、NMOS或いはPMOS等のアクティブ領域が形成される。その後、3000オングストローム程度のフィールド酸化膜62が、熱酸化で形成される。フィールド酸化膜62上に、図示しないNMOS, PMOSのゲート用多結晶シリコンが選択的に形成され、イオン打込みでNMOS, PMOSが形成される。ゲート用多結晶シリコンとフィールド酸化膜62の上に、CVD法で中間絶縁膜63が積層される。中間絶縁膜63上が第1の配線層64であり、該第1の配線層64にワード線WWL_n, RWL_n等が形成される。中間絶縁膜63の露出した部分と第1配線層64の上に、第一層間絶縁膜65のCVD酸化膜が形成される。第一層間絶縁膜65の厚さは、中間絶縁膜63上で、例えば14000オングストロームで、第1配線層64上では7000オングストロームである。第一層間絶縁膜65の上側が、第2配線層66となる。第2配線層66に、例えばビット線対RBL, RBL/等が選択的に形成される。ビット線対RBL, RBL/の厚さは、7000オングストローム程度に形成される。第一層間絶縁膜65及びビット線対RBL, RBL/の上に、第2層間絶縁膜67であるCVD酸化膜が堆積される。第2層間絶縁膜67の厚さは、ビット線対RBL, RBL/の上で7000、第一層間絶縁膜65で14000オングストローム程度である。第2層間絶縁膜67の上側が第3配線層となる。第2層間絶縁膜67の上に、第3層間絶縁膜68のCVD酸化膜が、14000オングストローム程度堆積される。第3層間絶縁膜68の上側が第4配線層69となっている。この第4配線層69に、ビット線対WBL, WBL/が、7000オングストローム程度の厚さで形成される。露出した第4配線層69及びビット線対WBL, WBL/上にパッシベーション膜70のシリコン窒化膜が形成される。よって、ビット線対RBL, RBL/とビット線対WBL, WBL/は20000オングストローム(従来の4倍)以上離れることになる。

【0027】次に、図10のマルチポートSRAMの動作を説明する。メモリセルMC₁～MC_Nに対してアクセスする場合、デコーダ51は書き込み用アドレスWARDに基づき、選択的にワード線WWL₁～WWL_Nを活性化する。ワード線WWL_nによって選択されたメモリセルMC_nでは、各NMOS13, 15がそれぞれオンする。これによって、フリップフロップがビット線WBL, WBL/に接続される。デコーダ52は読み出し用

アドレス R A D R に基づき、選択的にワード線 R W L₁ ~ R W L_N を活性化する。例えば、ワード線 R W L₁ によって選択されたメモリセル M C_N では、各 N M O S 1~4, 1~6 がそれぞれオンする。これによって、フリップフロップがビット線 R B L, R B L/ に接続される。その後、書き込みメモリセル M C_N では、書き込みドライバ 5~3 の駆動により、例えばビット線 W B L のレベルが引き下げられて、データが書き込まれる。一方、ビット線 R B L, R B L/ に接続された読み出しメモリセル M C₁ においては、フリップフロップに格納したデータが、ビット線 R B L, R B L/ に読み出され、それがセンスアンプ 5~4 で増幅されて出力データ D_{out} として出力される。

【0028】 図 13 は、図 10 の各ビット線のレベルと出力データのタイミングを示す波形図である。ビット線 W B L と R B L の間には、カッピング容量 C_{L1} が存在する。同様に、ビット線 W B L/ とビット線 R B L/ の間にも、カッピング容量 C_{R1} が存在する。そのため、書き込み用ビット線 W B L のレベルが引き下げられると、図 13 のように、読み出し用ビット線 R B L のレベルは、容量 C_{L1} の影響で引下げられ、ビット線 R B L, R B L/ 間の電位レベルが変動する。しかし、ビット線対 R B L, R B L/ とビット線対 W B L, W B L/ は 20000 オンゲストローム以上離れているので、カッピングノイズの発生が小さく、従来よりも変動が小さい。因って、ビット線対 R B L, R B L/ 間の電位レベルが正常に戻るのが速くなり、センスアンプ 5~4 の動作が速くなり、高速に出力データ D_{out} を出力できる。以上のように、この第 4 の実施例では、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ と異なる配線層に形成しているので、それらの配線によるカッピング容量 C_{L1}, C_{R1} が減じられ、高速に出力データ D_{out} を出力できる。

【0029】第5の実施例

図 14 (1), (2) は、本発明の第 5 の実施例を示すマルチポート S R A M の断面図であり、図 12 に共通する要素には、共通の符号が付されている。このマルチポート S R A M の特徴は、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ の構造を変化させたことであり、他の構造は第 4 の実施例と同様となっている。ビット線 W B L, W B L/, R B L, R B L/ の下辺コーナーに、図 14 (1) のように、90 度以下のテーパーがつけられている。そのため、同図 (2) に示すように、例えば、テーパーをつけた場合の各ビット線 W B L とビット線 R B L 側面の距離 S_s は、つけない場合の距離 S_{s1} よりも大きくなる。また、テーパーをつけた場合のビット線 R B L の側面とビット線 W B L の底面の距離 S_t は、つけない場合の距離 S_{t1} よりも大きくなる。すなわち、実質的にビット線対 W B L, W B L/ とビット線対 R B L, R B L/ 間の距離が大きくなり、カッピング容量が小さくなる。回路の動作としては、第

4 の実施例と同様の動作が行われる。

【0030】 以上のように、この第 5 の実施例では、ビット線 W B L, W B L/, R B L, R B L/ の下辺コーナーに、90 度以下のテーパーをつけているので、第 4 の実施例よりもカッピング容量 C_{L1}, C_{R1} がさらに減じられ、高速に出力データ D_{out} を出力できる。特に、ビット線 W B L, W B L/, R B L, R B L/ のみにテーパーをつけ、他の抵抗ドロップを考慮する必要のある電源線、グランド線、長いバス配線等には、テーパーをつけない構成にすれば、マルチポート S R A M はカッピング容量だけが減じられる構成となり、機能の優れたものになる。

第6の実施例

図 15 は、本発明の第 6 の実施例を示すマルチポート S R A M の断面図であり、図 12 に共通する要素には、共通の符号が付されている。このマルチポート S R A M の特徴は、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ の厚さは、それらの最小配線幅（配線間隔）よりも、薄く形成されている。他の構造は第 4 の実施例と同様となっており、回路動作も、第 4 の実施例と同様である。以上のように、この第 6 の実施例では、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ の厚さを、それらの最小配線幅よりも、薄くしている。そのため、第 5 の実施例よりも、さらにカッピング容量の低減化が図れる。ビット線対 W B L, W B L/, R B L, R B L/ における隣接容量は、配線膜厚を一定として配線間隔をかえたとき、配線間隔と配線膜厚が等しくなると最小となる。配線膜厚を最小配線幅より薄くすることで、隣接容量の低減が可能である。特に、ビット線 W B L, W B L/, R B L, R B L/ のみ、この構造を採用し、他の抵抗ドロップを考慮する必要ある電源線、グランド線、長いバス配線等では採用しないようになると、マルチポート S R A M はカッピング容量だけが減じられる構成となり、機能の優れたものになる。

【0031】第7の実施例

図 16 は、本発明の第 7 の実施例を示すマルチポート S R A M の断面図であり、図 12 に共通する要素には、共通の符号が付されている。このマルチポート S R A M では、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ を、断面で見たとき垂直方向に重なるようにしている。他の構造は第 4 の実施例と同様となっており、回路動作も第 4 の実施例と同様である。以上のように、この第 7 の実施例では、ビット線対 W B L, W B L/ とビット線対 R B L, R B L/ を、垂直方向に重なるようにしたので、第 4 の実施例に比べてメモリセルの形成面積を小さくでき、高集積化がさらに容易になっている。

【0032】第8の実施例

図 17 は、本発明の第 8 の実施例を示すマルチポート S

RAMの断面図であり、図12に共通する要素には、共通の符号が付されている。このマルチポートSRAMでは、異なる第2及び第4配線層に形成されたビット線対WBL, WBL/とビット線対RBL, RBL/との間に、導電層71を設けている。導電層71は、第2層間絶縁膜67と第3層間絶縁膜68の間の第3配線層に形成されている。他の構造は第4の実施例と同様となっており、回路動作も第4の実施例と同様である。以上のように、この第8の実施例では、ビット線対WBL, WBL/とビット線対RBL, RBL/との間に、導電層71を設けている。そのため、ビット線対WBL, WBL/とビット線対RBL, RBL/との間の電気力線がカットされる。よって、ビット線対WBL, WBL/とビット線対RBL, RBL/間のカップリング容量が、第4の実施例よりも、さらに低減できる。ここで、導電層71を、図17に示したように、その第3配線層に形成される他の配線よりも薄い膜71aで形成すると、上層のビット線対WBL, WBL/の距離が、遠くなり、さらにより効果が得られる。

【0033】第9の実施例

図18は、本発明の第9の実施例を示すマルチポートSRAMの平面図である。このマルチポートSRAMでは、第8の実施例における導電層71をダミーパターン72とし、そのダミーパターン72を、このマルチポートSRAMの電源線Vdd或いはグランド線GNDに接続している。これにより、ダミーパターン72の電位が電源電位あるいは接地電位に固定され、ビット線対WBL, WBL/とビット線対RBL, RBL/との間のアイソレーションを、より確実にする。なお、ダミーパターン72は、電源線Vdd或いはグランド線GNDそのものとしてもよい。他の構造は第4の実施例と同様となっており、回路動作も第4の実施例と同様である。以上のように、この第9の実施例では、ダミーパターン72を、ビット線対WBL, WBL/とビット線対RBL, RBL/との間に形成し、それ電源線Vdd或いはグランド線GNDに接続している。第8の実施例と同様にダミーパターン72は電気力線がカットすると共に、ビット線対WBL, WBL/とビット線対RBL, RBL/の間に一定の電位を設定する。よって、ビット線対WBL, WBL/とビット線対RBL, RBL/との間のアイソレーションが、より確実になる。

【0034】なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 上記第1～第9の実施例では、同時に書き込みと読み出しが可能なマルチポートSRAMについて説明しているが、これに限定されない。読み出すビット線対に対して、カップリング容量の影響を与えて読み出し速度を制限する構成の半導体記憶装置に用いることにより、そのカップリング容量の影響が軽減され、出力データDout

が高速に出力できる。例えば、2組のビット線対を用いて、同時に読み出しが行う半導体記憶装置等にも適用が可能である。

(2) 第4～第9の実施例は、それぞれ併用することができる。併用により、相乗的な効果が得られる。

(3) 第1～第3の実施例では、ビット線対RBL, RBL/或いはビット線対WBL, WBL/に、鎖交部分を1箇所設けて、同程度の大きさのカップリングノイズNC1, NC2を発生させていているが、鎖交部分は、複数箇所に設けててもよい。このようにすると、例えば、ビット線RBL, RBL/とビット線対WBL, WBL/のカップリング容量がその長手方向で変動する場合、カップリングノイズNC1, NC2の値が異なることになる。鎖交部分を複数箇所に設けることにより、同程度の大きさの部分カップリングノイズを細かく発生させるので、トータルのカップリングノイズの均等化が実現される。

【0035】

【発明の効果】以上詳細に説明したように、第1～第5の発明によれば、第1のビット線対と第2のビット線対のうちのいずれか一方は、鎖交部分を有し、複数のメモリセルのうちの一部では書き込みデータまたは読み出しデータのレベルが反転する構成とし、ている。そして、複数のワード線のレベルに基づき前記メモリセルに書き込むデータを予め反転させる書き込み反転手段、または該メモリセルから読み出したデータのレベルを反転させる読み出し反転手段を、半導体記憶装置に設いている。そのため、第1のビット線対と第2のビット線対間に存在するカップリング容量の影響によるカップリングノイズが、長手方向で相殺されることになり、また、書き込んだデータと読み出したデータの一一致が、書き込み反転手段または読み出し反転手段で調整される。よって、メモリセルから読み出したデータを高速に出力できる。第6～第12の発明によれば、半導体記憶装置における第1及び第2のビット線対、複数のワード線及び複数のメモリセルを、共通の半導体基板上に積層構造で形成し、その第1のビット線対と第2のビット線対は、積層構造の異なる配線層に形成している。よって、カップリング容量が小さくなり、カップリングノイズが軽減される。そのため、メモリセルから読み出したデータを高速に出力できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すマルチポートSRAMの回路図である。

【図2】従来のマルチポートSRAMの構成例を示す回路図である。

【図3】図2中のメモリセルを示す回路図である。

【図4】図2中の各ビット線の配置を示す平面図である。

【図5】図2の各ビット線のレベルと出力データのタイミングを示す波形図である。

【図6】図1中のメモリセルとビット線の関係を示す回路図である。

【図7】図1の各ビット線のレベルと出力データのタイミングを示す波形図である。

【図8】本発明の第2の実施例を示すマルチポートSRAMの回路図である。

【図9】本発明の第3の実施例を示すマルチポートSRAMの回路図である。

【図10】本発明の第4の実施例を示すマルチポートSRAMの回路図である。

【図11】図10の要部の平面構造を示す図である。

【図12】図11のA-A断面図である。

【図13】図10の各ビット線のレベルと出力データのタイミングを示す波形図である。

【図14】本発明の第5の実施例を示すマルチポートSRAMの断面図である。

【図15】本発明の第6の実施例を示すマルチポートSRAMの断面図である。

【図16】本発明の第7の実施例を示すマルチポートSRAMの断面図である。

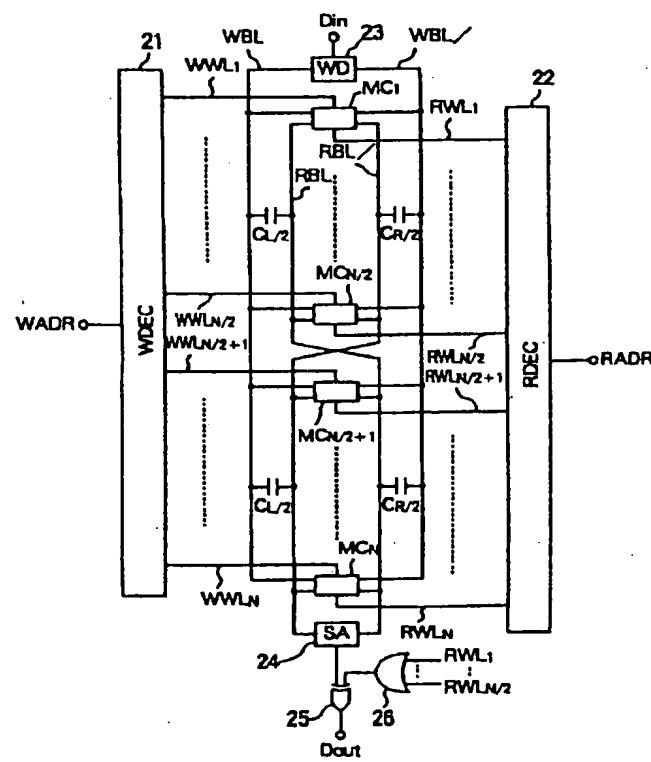
【図17】本発明の第8の実施例を示すマルチポートSRAMの断面図である。

【図18】本発明の第9の実施例を示すマルチポートSRAMの平面図である

【符号の説明】

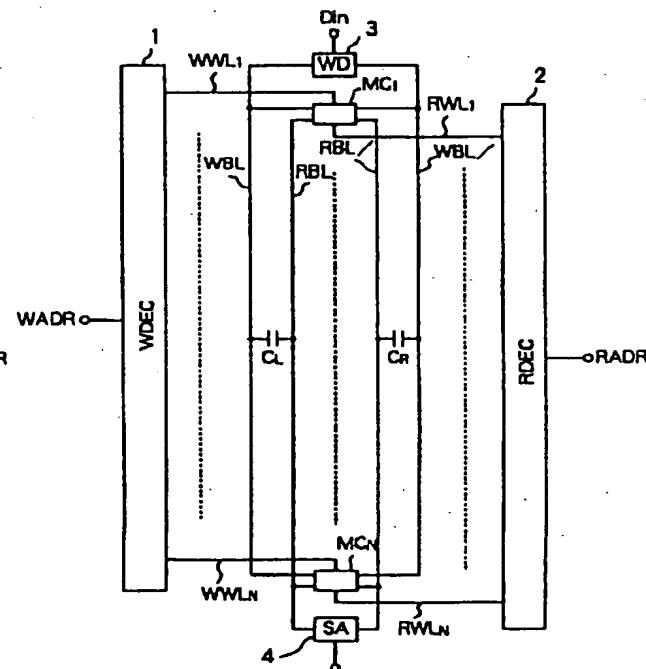
21	書き込み用デコーダ
22	読み出し用デコーダ
23	書き込みドライバ
24	センスアンプ
MC ₁ ~ MC _N	メモリセル
WWL ₁ ~ WWL _N	書き込み用ワード線
RWL ₁ ~ RWL _N	読み出し用ワード線
WBL, WBL/	書き込み用ピット線対
RBL, RBL/	読み出し用ピット線対
Din	入力データ
Dout	出力データ

【図1】



本発明の第1の実施例のマルチポートSRAM

【図2】



従来のマルチポートSRAM

【図3】

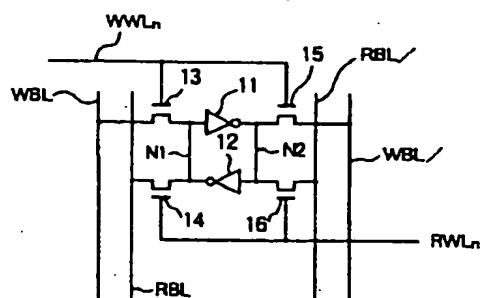
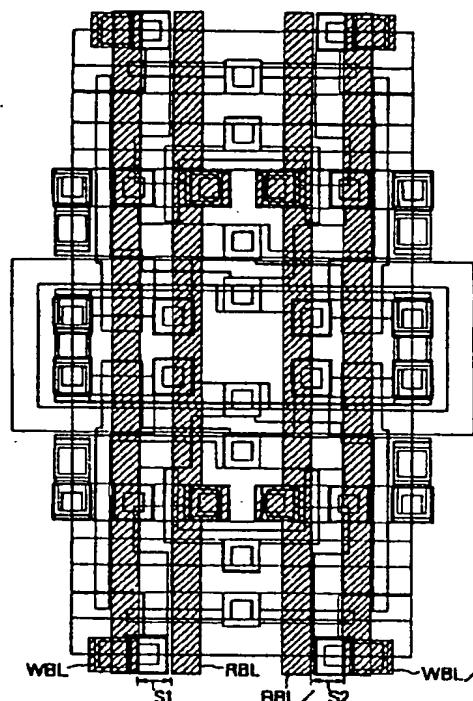


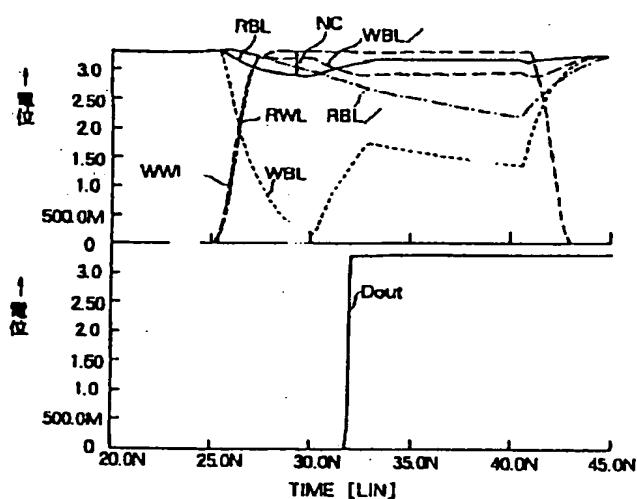
図2中のメモリセル

【図4】



ピット線の配置

【図5】



ピット線のレベルと出力データのタイミング

【図7】

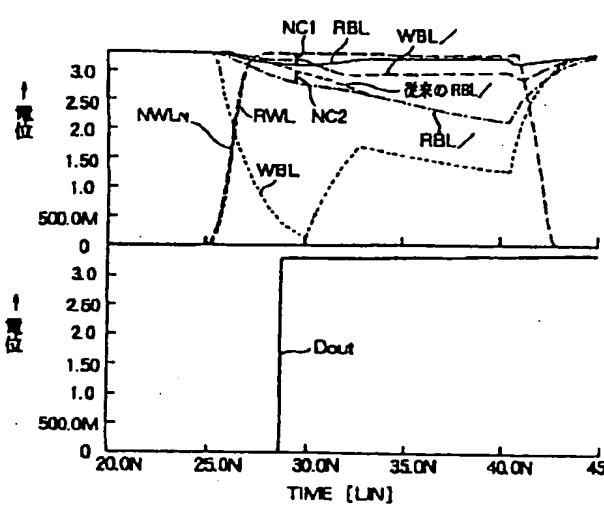
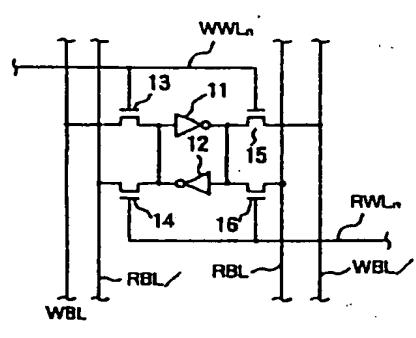
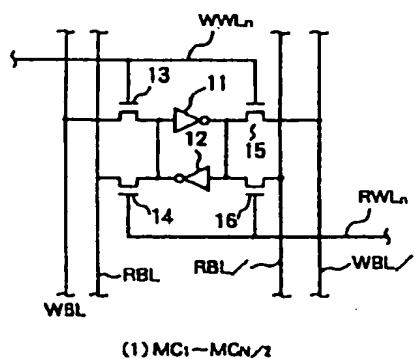


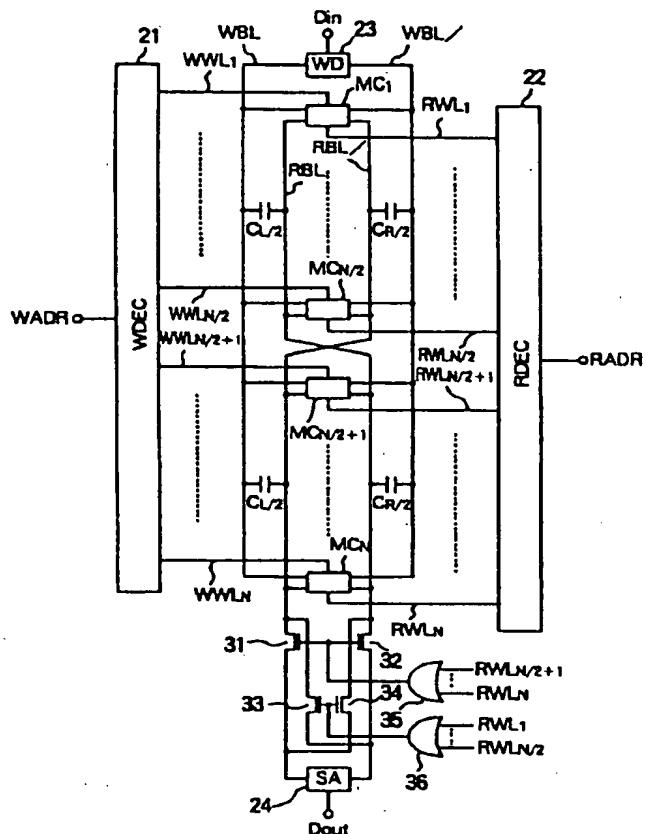
図1中の各ピット線のレベルと出力データのタイミング

【図 6】



メモリセルとビット線

【図 8】



本発明の第2の実施例のマルチポートSRAM

【図 12】

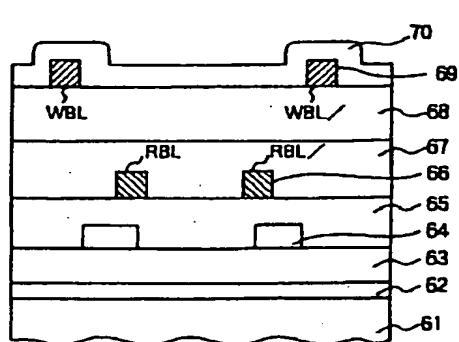
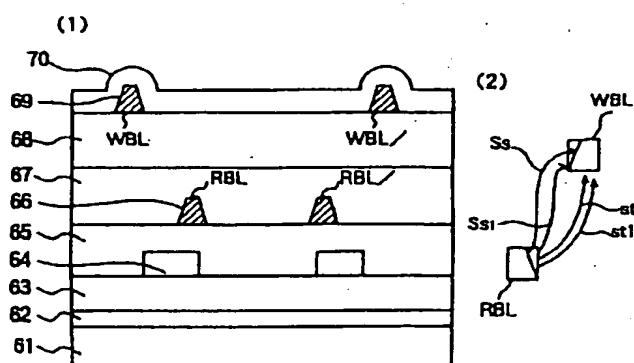


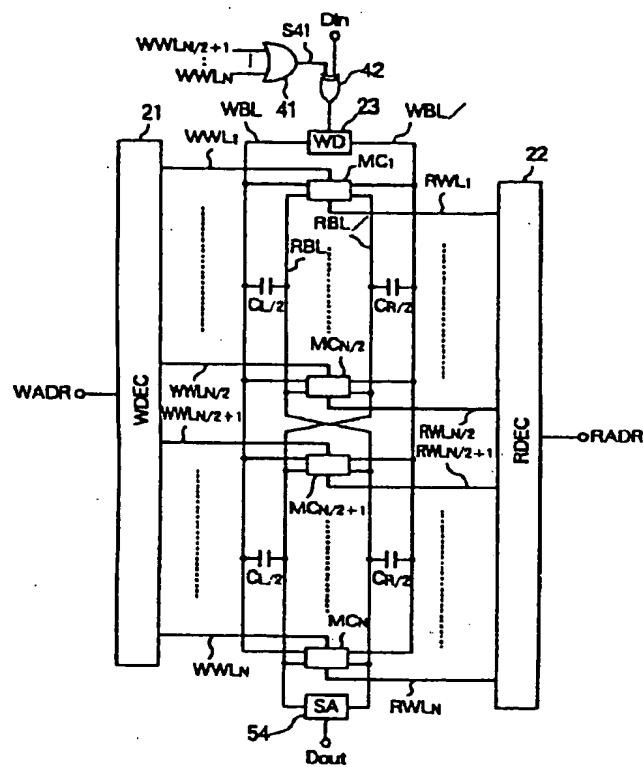
図 11 の断面図

【図 14】

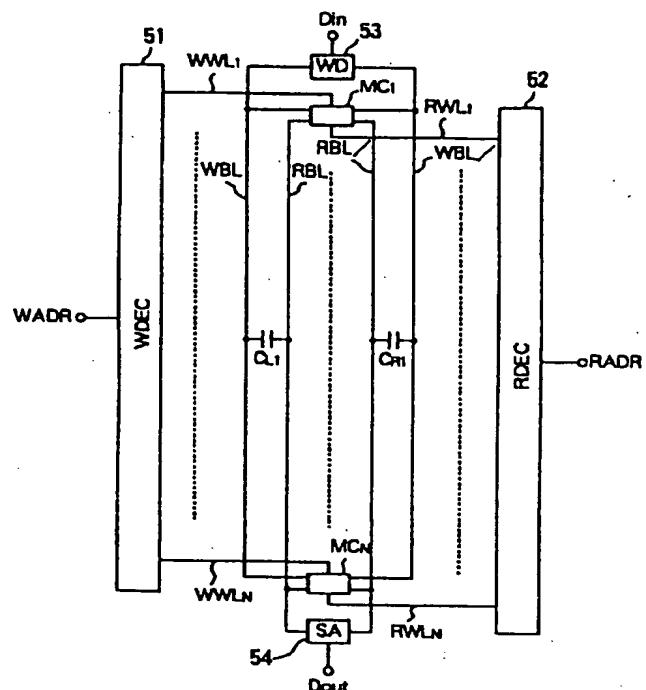


本発明の第5の実施例のマルチポートSRAM

【図9】



【図10】

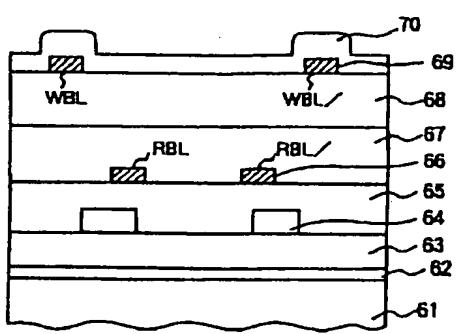


本発明の第4の実施例のマルチポートSRAM

本発明の第3の実施例のマルチポートSRAM

【図13】

【図15】



本発明の第6の実施例のマルチポートSRAM

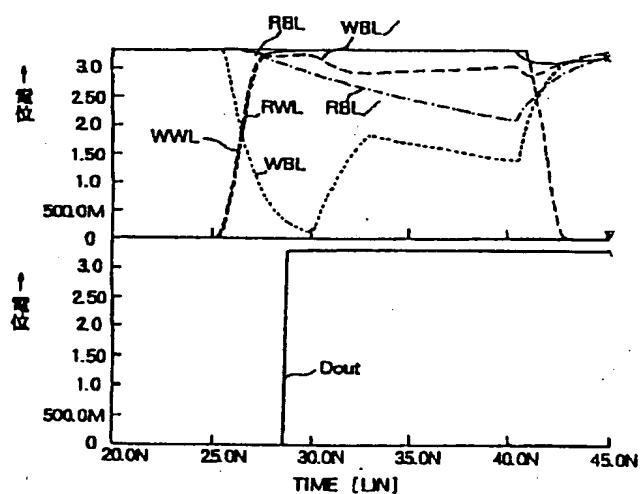


図10の各ビット線のレベルと出力データのタイミング

【図11】

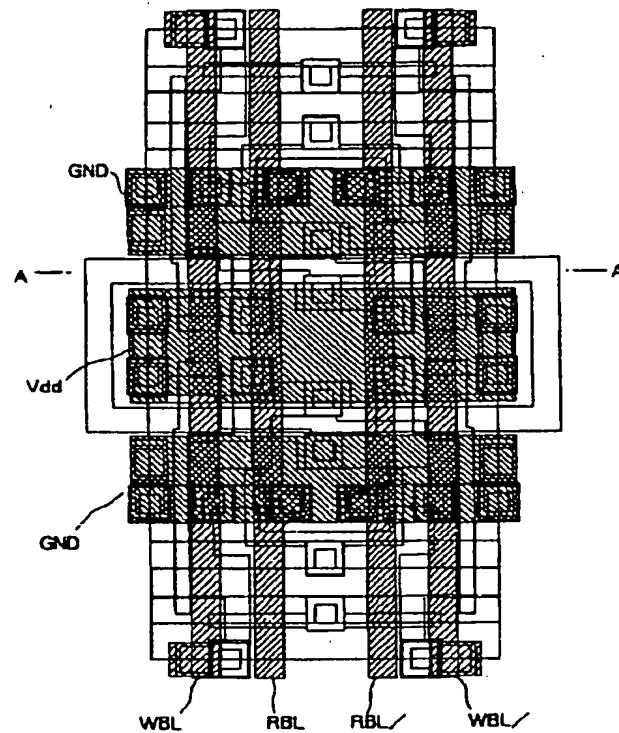
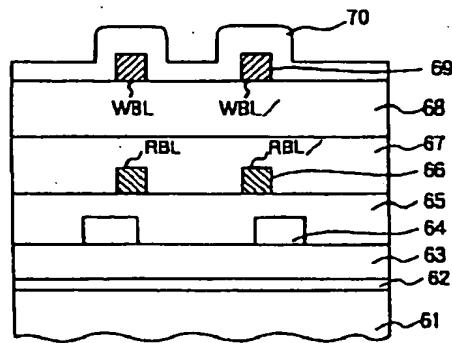


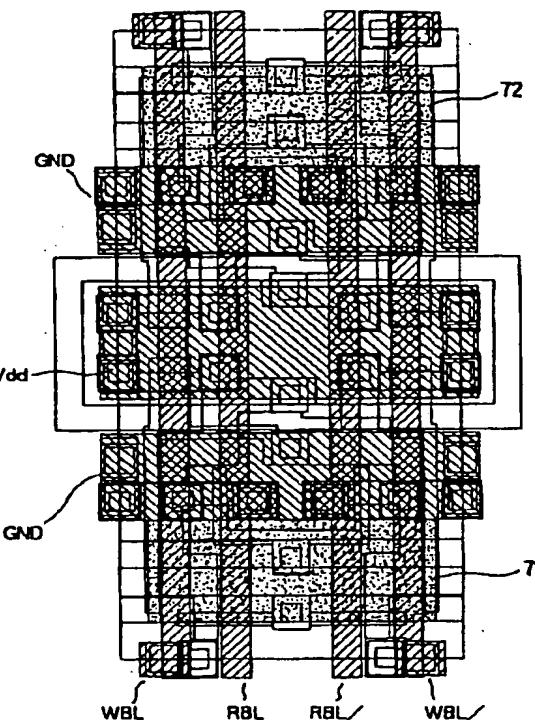
図10の平面構造

【図16】



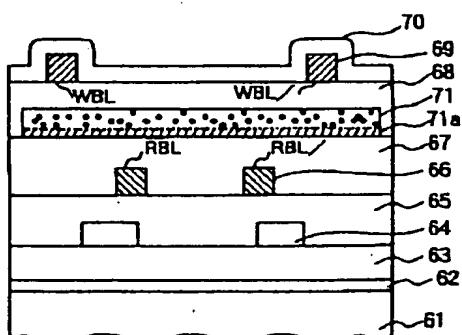
本発明の第7の実施例のマルチポートSRAM

【図18】



本発明の第9の実施例のマルチポートSRAM

【図17】



本発明の第8の実施例のマルチポートSRAM